

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142095  
(43)Date of publication of application : 25.05.2001

(51)Int.Cl. G02F 1/1365  
G02F 1/1335

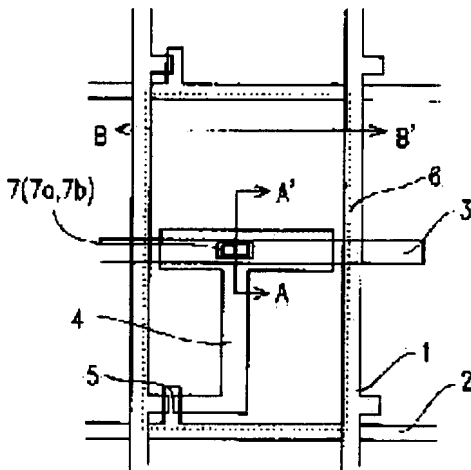
(21)Application number : 11-324751 (71)Applicant : SHARP CORP  
(22)Date of filing : 15.11.1999 (72)Inventor : KATAUE MASAYUKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent display abnormality from occurring due to parasitic capacitance, and also to form a contact hole highly reliable in electric connection, in a CF on TFT structure using the wiring on a TFT substrate also as BM for a high aperture ratio and high definition.

**SOLUTION:** Parasitic capacitance between a wiring metallic layer such as source wiring 1 and gate wiring 2 and an pixel electrode 6 is reduced by forming a transparent resin layer on a CF layer 9 so that a total thickness of the CF layer and the transparent resin layer is 3  $\mu\text{m}$  to 6  $\mu\text{m}$ . Electric connection at the contact hole is secured by making the contact hole 7b of the transparent resin layer larger than the contact hole 7b of the CF layer by 3  $\mu\text{m}$  or more, and making the cross-section of the contact hole 7 in a two-step slope form.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-142095

(P2001-142095A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
G 0 2 F 1/1365		G 0 2 F 1/1335	5 0 5 2 H 0 9 1
1/1335	5 0 5	1/136	5 0 0 2 H 0 9 2

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-324751

(22) 出願日 平成11年11月15日 (1999. 11. 15)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 片上 正幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム (参考) 2H091 FA02Y FA34Y GA07 GA13

LA19

2H092 JA24 JA46 JB22 JB31 JB52

JB57 JB69 KB25 MA01 MA13

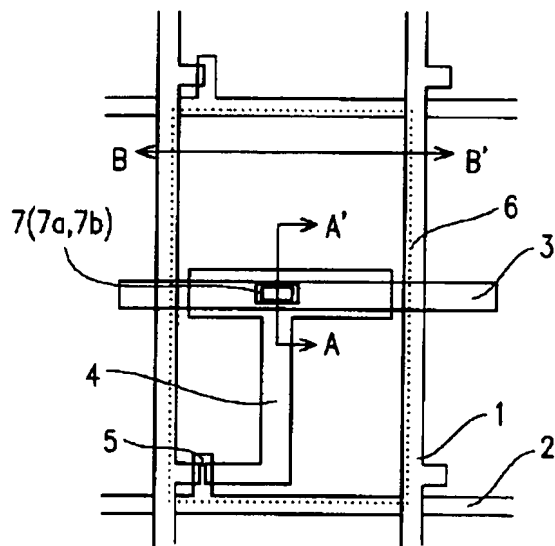
MA17 NA07 NA23 PA08

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 高開口率化および高精細化のためにTFT基板側の配線をBMとして兼用するCF on TFT構造において、寄生容量による表示異常を防ぐと共に、電気的接続の信頼性が高いコンタクトホールを形成する。

【解決手段】 CF層9の上に透明性樹脂層をCF層と透明樹脂層の合計厚みが3 $\mu$ m以上6 $\mu$ m以下になるように形成してソース配線1やゲート配線2の配線金属層と画素電極6間の寄生容量を低減する。透明樹脂層のコンタクトホール7bをCF層のコンタクトホール7bよりも3 $\mu$ m以上大きなサイズとして、コンタクトホール7の断面を2段のスロープ状にして、コンタクトホールでの電気的接続を確実にする。



## 【特許請求の範囲】

【請求項1】 互いに交差する複数の走査配線と複数の信号配線との交差部近傍にスイッチング素子が設けられ、その上にカラーフィルター層を介してマトリックス状の画素電極が設けられ、該カラーフィルター層および該画素電極のエッジが該走査配線および該信号配線と一部重なっている一方の基板と、対向電極を有する他方の基板が、液晶層を挟んで対向配置された液晶表示装置において、

該カラーフィルター層と該画素電極の間に透明樹脂層が設けられ、

該カラーフィルター層と該透明樹脂層には、該画素電極と該スイッチング素子のドレイン電極とを電気的に接続するためのコンタクトホールが基板上の同じ位置に設けられ、該透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも大きいサイズに形成され、コンタクトホール部の断面形状が2段になっている液晶表示装置。

【請求項2】 互いに交差する複数の走査配線と複数の信号配線との交差部近傍にスイッチング素子が設けられ、その上にカラーフィルター層を介してマトリックス状の画素電極が設けられ、該カラーフィルター層および該画素電極のエッジが該走査配線および該信号配線と一部重なり、かつ、隣接する画素の走査配線上に絶縁膜を介して付加容量電極が設けられるか、または各走査配線と平行に設けた付加容量配線上に絶縁膜を介して付加容量電極が設けられて付加容量を構成している一方の基板と、対向電極を有する他方の基板が、液晶層を挟んで対向配置された液晶表示装置において、

該カラーフィルター層と該画素電極の間に透明樹脂層が設けられ、

該カラーフィルター層と該透明樹脂層には、該画素電極と該付加容量電極とを電気的に接続するためのコンタクトホールが基板上の同じ位置に設けられ、該透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも大きいサイズに形成され、コンタクトホール部の断面形状が2段になっている液晶表示装置。

【請求項3】 前記カラーフィルター層と前記透明樹脂層の合計厚みが3 $\mu$ m以上6 $\mu$ m以下である請求項1または請求項2に記載の液晶表示装置。

【請求項4】 前記透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも3 $\mu$ m以上大きいサイズに形成されている請求項3に記載の液晶表示装置。

【請求項5】 請求項1乃至請求項4のいずれかに記載の液晶表示装置の製造方法であって、

走査配線、信号配線およびスイッチング素子が形成された基板上に、カラーフィルター層を設けてフォトリソグラフィ法によりパターニングしてコンタクトホールを形成する工程と、

該カラーフィルター層上に、感光性透明樹脂層を設けてフォトリソグラフィ法によりパターニングしてコンタクトホールを形成する工程と、

該透明樹脂層上に画素電極を形成し、該コンタクトホール下の電極と画素電極とを電気的に接続する工程とを含む液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、TFT（薄膜トランジスタ）等のスイッチング素子を設けたカラー表示が可能な液晶表示装置およびその製造方法に関する。

## 【0002】

【従来の技術】従来から、画素の高精度化、および高開口率化を目的として、TFT素子を有する基板上にカラーフィルター（CF）層を設けた、いわゆるCF on TFT構造がいくつか提案されている。

【0003】例えば、図4に示すような構造が考えられている。この構造では、ガラス基板11の上に、走査配線（ゲート配線）（図示せず）および信号配線（ソース配線）1が層間絶縁膜10を介してパターン形成されている。両配線の交差部近傍にはそれらと接続されて画素電極6を駆動するためのTFT素子が形成されている。その上に、遮光が必要な部分に樹脂からなるBM（ブラックマトリクス）層12がフォトリソグラフィ法によりパターン形成されている。また、各画素に対応する部分には、TFT素子のドレイン電極に接続された下側透明導電膜4上にR、G、BのCF層9が形成されている。このCF層は、TFT素子を介して下側透明導電膜（画素電極）に電圧を印加して、電着法により形成される。

【0004】CF on TFTの他の構造として、基板上にTFT素子および配線パターンを形成後、絶縁膜を基板全面に塗布してパネル外の端子部等を現像して剥離し、その上にBM層を形成して、さらにCF層を塗布してパターニングしたもの、またはBM層を設けずにCF層を表示部全面に敷き詰めて配線メタルを遮光膜として兼用したもの等も提案されている。

【0005】いずれの場合にも、CF層を形成後、その上にITO（Indium Tin Oxide）等の透明導電膜を形成し、フォトリソグラフィ工程により所定の画素電極形状にパターニングを行う。そして、ITO膜のデポジション前に、ドレイン電極と画素電極を電気的に接続するためのコンタクトホールがCF層または絶縁膜に形成される。このコンタクトホールは、フォトレジストを用いたリフトオフ法や、ドライエッチング法、またはレーザー加工によりCF層に形成するのが一

般的な方法である。

【0006】

【発明が解決しようとする課題】液晶表示装置においては、液晶層を挟んでTFT基板と対向する対向基板側にCF層やBM層を設けるのが一般的である。しかし、この場合には、両基板に貼り合わせズレが生じても光漏れが発生しないように、TFT基板側の電極寸法よりもBM層の開口部を小さくする必要がある。

【0007】これに対して、上述したようにTFT基板側にCF層やBM層を配置する方法では、両基板の貼り合わせズレを考慮する必要が無い分だけ、開口率を大きくすることができる。しかし、通常の基板の貼り合わせ寸法ズレは、 $3\mu\text{m}\sim 4\mu\text{m}$ 程度であり、その分だけBM層の開口部を大きくできるものの、あまり大きな開口率向上にはならない。そこで、BM層を設けないでゲート配線またはソース配線で遮光するようにすれば、開口率の向上効果を非常に大きくすることができる。

【0008】しかしながら、この方法では、ゲート配線上またはソース配線上に電極（画素電極）が一部重なるため、この重なり部分で寄生容量が発生し、その容量が大きいと表示異常を引き起こす。この重なり部分の容量は、CF層の誘電率にも影響されるが、配線金属層と電極間に存在する絶縁層、即ちCF層の膜厚が小さい程、容量が大きくなる。CF層の膜厚は、通常、塗布性の観点から $0.8\mu\text{m}\sim 2.0\mu\text{m}$ とされるが、この膜厚では配線金属層と電極との重なり部での寄生容量が非常に大きくなる。これが、液晶層の印加電圧を歪ませることになり、クロストーク等の表示異常を引き起こす。

【0009】この容量成分を小さくする方法としては、CF中の樹脂分を多くして、図5に示すようにCF層9の厚みを厚くする方法も考えられるが、この場合にはコンタクトホール形成が難しくなるという問題がある。コンタクトホールのサイズは、通常、開口率の低下を生じないようにするために、 $5\mu\text{m}\sim 20\mu\text{m}$ 程度の小サイズとされる。しかし、このサイズで厚膜のCF層を、テーパーを有する断面形状のコンタクトホールに残渣無くパターニングするのが非常に困難である。

【0010】公知技術のようにリフトオフを行ってコンタクトホールを形成する方法もあるが、この方法ではコンタクトホールが逆テーパー状になり易く、コンタクトホールでの電気的接続（導通）を取り難い。また、ドライエッチング法やレーザー加工によりコンタクトホールを形成する方法もあるが、この方法でも、厚膜のCF層をスロープの緩やかな断面形状に形成するのは困難である。このため、コンタクトホール部に光CVD（Chemical Vapor Deposition）法等で金属膜を堆積し、コンタクトホール部での導通を得る方法も提案されている。しかし、この方法ではプロセスコストが非常に高くなるという問題がある。

【0011】本発明は、このような従来技術の課題を解

決すべくなされたものであり、高開口率化および高精細化のためにTFT基板側の配線を遮光膜として兼用するCFon TFT構造の液晶表示装置において、寄生容量による表示異常を防ぐと共に、コンタクトホール部での電気的接続の信頼性を向上することができる液晶表示装置およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の液晶表示装置は、互いに交差する複数の走査配線と複数の信号配線との交差部近傍にスイッチング素子が設けられ、その上にカラーフィルター層を介してマトリックス状の画素電極が設けられ、該カラーフィルター層および該画素電極のエッジが該走査配線および該信号配線と一部重なっている一方の基板と、対向電極を有する他方の基板が、液晶層を挟んで対向配置された液晶表示装置において、該カラーフィルター層と該画素電極の間に透明樹脂層が設けられ、該カラーフィルター層と該透明樹脂層には、該画素電極と該スイッチング素子のドレイン電極とを電気的に接続するためのコンタクトホールが基板上の同じ位置に設けられ、該透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも大きいサイズに形成され、コンタクトホール部の断面形状が2段になっており、そのことにより上記目的が達成される。

【0013】本発明の液晶表示装置は、互いに交差する複数の走査配線と複数の信号配線との交差部近傍にスイッチング素子が設けられ、その上にカラーフィルター層を介してマトリックス状の画素電極が設けられ、該カラーフィルター層および該画素電極のエッジが該走査配線および該信号配線と一部重なり、かつ、隣接する画素の走査配線上に絶縁膜を介して付加容量電極が設けられるか、または各走査配線と平行に設けた付加容量配線上に絶縁膜を介して付加容量電極が設けられて付加容量を構成している一方の基板と、対向電極を有する他方の基板が、液晶層を挟んで対向配置された液晶表示装置において、該カラーフィルター層と該画素電極の間に透明樹脂層が設けられ、該カラーフィルター層と該透明樹脂層には、該画素電極と該付加容量電極とを電気的に接続するためのコンタクトホールが基板上の同じ位置に設けられ、該透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも大きいサイズに形成され、コンタクトホール部の断面形状が2段になっており、そのことにより上記目的が達成される。

【0014】前記カラーフィルター層と前記透明樹脂層の合計厚みが $3\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であるのが好ましい。

【0015】前記透明樹脂層のコンタクトホールにおける基板側の開口部が、該カラーフィルター層のコンタクトホールにおける基板とは反対側の開口部よりも $3\mu\text{m}$

以上大きいサイズに形成されているのが好ましい。

【0016】本発明の液晶表示装置の製造方法は、走査配線、信号配線およびスイッチング素子が形成された基板上に、カラーフィルター層を設けてフォトリソグラフィ法によりパターンニングして規定の画素形状とコンタクトホールを形成する工程と、該カラーフィルター層上に、透明樹脂層を設けてフォトリソグラフィ法によりパターンニングして必要な領域の膜を得ると共にコンタクトホールを形成する工程と、該透明樹脂層上に画素電極を形成し、該コンタクトホール下の電極と画素電極とを電気的に接続する工程とを含み、そのことにより上記目的が達成される。

【0017】以下に、本発明の作用について説明する。

【0018】従来から知られているように、CF層をTFT基板上に形成し、かつ、ソース配線およびゲート配線を遮光膜として兼用する構造により、液晶表示装置の開口率を非常に大きくすることができる。この構造において、本発明のように、CF層と画素電極の間に透明樹脂層を設けることにより、配線金属層とその上に重なる画素電極との間隔が大きくなる。容量は電極間の間隔に反比例するため、重なり部での寄生容量を小さくして、寄生容量による駆動電圧歪みを防ぐことが可能である。

【0019】配線金属層と画素電極との間の寄生容量はCF層と透明樹脂層の誘電率にも影響されるが、例えばCF層と透明樹脂層の合計厚みが $3\mu\text{m}$ 以上であれば、実質上、寄生容量による駆動信号の歪みは無く、 $6\mu\text{m}$ 以下であればコンタクトホールの形成が容易である。

【0020】さらに、本発明にあっては、透明樹脂層をCF層の上に形成している。この構造では、TFTと画素電極との導通を取るためのコンタクトホールや付加容量と画素電極との導通を取るためのコンタクトホールを形成する際に、透明樹脂層のコンタクトホールの位置が下側の配線金属層（付加容量配線等）の位置からずれて画素開口部にはみ出しても、樹脂層が透明であるため、光漏れは生じない。よって、透明樹脂層のコンタクトホールのサイズを大きくすることができる。これに対して、CF層を透明樹脂層の上に形成した場合には、上層のCF層のコンタクトホールが下側の配線金属層の位置から画素開口部にはみ出さないようにする必要があり、コンタクトホールのサイズを大きくすることができない。そして、そのCF層よりも下側の透明樹脂層ではコンタクトホールがそれよりも小さなサイズになるため、透明樹脂層のコンタクトホールのサイズが非常に制限を受けることになる。

【0021】そこで、本発明では、この透明樹脂層のコンタクトホールにおける基板側の開口部は、CF層のコンタクトホールにおける基板とは反対側の開口部よりも大きいサイズ（例えば $3\mu\text{m}$ 以上、図2のP2-P1 $\geq 3\mu\text{m}$ ）に形成し、コンタクトホールの断面を2段形状にする。これにより、コンタクトホールの断面をスロー

プ状として、コンタクトホール部での電気的接続の信頼性を向上することが可能である。

【0022】本発明の液晶表示装置の製造方法にあっては、ゲート配線、ソース配線およびスイッチング素子が形成された基板上に、R、G、BのCF層用の膜を形成してパターンニングすることにより、そのエッジがゲート配線およびソース配線と重なるCF層を形成すると共に、TFTのドレイン電極や付加容量電極等の下側透明導電膜と画素電極とを接続するためのコンタクトホールを形成する。このとき、CF層はゲート配線およびソース配線上を隙間無く覆うようにしてもよく、エッジ部分が配線の端部に重なっているだけでもよい。その後、透明樹脂層用の膜をCF層との合計厚みが例えば $3\mu\text{m}$ 以上 $6\mu\text{m}$ 以下となるように形成してパターンニングすることにより、透明樹脂層を形成すると共に、CF層と同じ位置に例えばCF層よりも $3\mu\text{m}$ 以上大きなコンタクトホールを形成する。その後、画素電極を形成し、このコンタクトホールを介してコンタクトホール下の電極と電気的に接続する。この画素電極も、そのエッジがゲート配線およびソース配線と一部重なるようにパターンニングする。

【0023】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0024】図1は実施形態の液晶表示装置におけるTFT基板について、一画素分の概略構成を示す平面図であり、図2はそのA-A'線部分の断面図であり、図3はそのB-B'線部分の断面図である。

【0025】ここでは、ガラス等からなる基板11上にマトリックス状に複数のソース配線1およびゲート配線2が形成され、両配線の交差部近傍にスイッチング素子としてのTFT素子5が形成されている。このTFT素子5のゲート電極はゲート配線2の分岐部であり、TFT素子5のソース電極はソース配線1と接続されている。その上にR、G、BのいずれかのCF層9および透明樹脂層8を介して画素電極6が形成されている。CF層9は隣合うもの同士のエッジがソース配線1およびゲート配線2上で重なっており、画素電極6はそのエッジがソース配線1およびゲート配線2と一部重なっている。さらに、ゲート配線2と平行な方向に付加容量配線3が設けられ、層間絶縁膜10を介してTFT素子5のドレイン電極から延びた付加容量電極（下側透明導電膜4の一部）と重なって、重なり部に付加容量が形成されている。CF層9と透明樹脂層8には基板上的同じ位置にコンタクトホールが設けられ、このコンタクトホール部において画素電極6と付加容量電極4とが電気的に接続されている。さらに、表示領域周辺部では、ゲート配線2およびソース配線1を構成する金属層が層間絶縁膜10を介して一部重ね合わさった構造とされ、これにより表示領域周辺部が配線金属層で遮光されている。この

TFT基板は、透明電極（対向電極）が形成された対向基板と貼り合わせられ、両基板の間に液晶が注入されて液晶表示パネルが構成されている。

【0026】この液晶表示パネルは、例えば以下のようにして作製することができる。まず、図1に示すように、ガラス等からなる一方の基板11上に、マトリックス状にソース配線1、ゲート配線2、付加容量配線3およびアモルファスシリコンからなるTFT素子5を形成する。このとき、表示領域周辺部では、ゲート配線2およびソース配線1を構成する金属層が層間絶縁膜10を介して一部重なるようにする。

【0027】その上に、顔料を分散させた感光性樹脂をスピンナー等で塗布して露光および現像を繰り返して、R、G、BのCF層9を画素部のみにパターン形成する。このとき、CF層9のエッジが必ずゲート配線2またはソース配線1の上に重なるように配置し、付加容量電極4の上に幅方向が10 $\mu$ m～20 $\mu$ m程度の大きさのコンタクトホール7aを形成する。

【0028】次に、CF層9を形成した基板上に、感光性を付与したアクリル樹脂等の透明樹脂をスピンナー等で塗布する。このとき、CF層9と透明樹脂層8の合計厚みが3 $\mu$ m～6 $\mu$ mの範囲になるように膜厚設定を行う。なお、この厚みは、オーバーラップ幅や材料の誘電率によっても若干異なる。また、CF層9の厚みとしては、塗布性や現像性の観点から、1 $\mu$ m～2 $\mu$ mの範囲であるのが好ましい。そして、仮乾燥後、露光および現像を行って端子部が露出するようにすると共に、CF層9に設けたコンタクトホール7aよりも少なくとも3 $\mu$ m以上（図2のP2-P1 $\geq$ 3 $\mu$ m）大きなコンタクトホール7bを形成する。これにより、断面形状が図2のような段の付いたコンタクトホール7が形成される。なお、このコンタクトホール7は、TFT素子5のドレイン電極に繋がる配線金属の上に形成してもよい。または、隣接する画素の走査配線上に層間絶縁膜を介して付加容量電極が形成されて付加容量が構成されている場合には、その付加容量電極上にコンタクトホールを形成してもよい。

【0029】続いて、焼成を行った後、通常のスパッタリング法によりITO膜を全面に堆積し、フォトリソグラフィ法により画素電極6を形成する。このとき、画素電極6のエッジがゲート配線2およびソース配線上にあるように形成し、コンタクトホール7を介して下の電極（付加容量電極やTFTのドレイン電極と繋がる配線金属）と画素電極6とを電気的に接続する。

【0030】その後、この基板上にポリイミド系の配向膜を印刷等により塗布してラビング配向処理を行った後、スペーサーを散布し、対向基板とシール樹脂によって貼り合わせる。この対向基板は、貼り合わせ前にガラス等からなる基板上にITO電極を堆積し、その上に配向膜を印刷等により塗布して配向処理を行う。貼り合

せ後、両基板の間にTN（Twisted Nematic）液晶を注入して注入口を封止し、基板外側の両面に偏光板を貼り付けて液晶表示パネルを完成する。

【0031】このようにして得られる本実施形態の液晶表示パネルでは、CF層9をTFT基板上に形成し、ソース配線1およびゲート配線の金属層を遮光膜として兼用することができるので、開口率を非常に大きくすることができる。また、配線金属層と画素電極6との間の絶縁膜がCF層9と透明樹脂層8とからなるので、両者の間隔を大きくして寄生容量を小さくすることができる。また、透明樹脂層8がCF層9の上に形成され、配線金属層から透明樹脂層8がはみ出しても光漏れが生じないので、透明樹脂層8のコンタクトホール7bを大きくすることができる。CF層9のコンタクトホール7aと透明樹脂層8のコンタクトホール7bからなるコンタクトホール7を断面が2段のスロープ状とすることができるので、コンタクトホール7において、画素電極6と下側の配線層（付加容量電極4やTFTのドレイン電極等）との電気的接続の信頼性を高くすることができる。

【0032】なお、上記実施形態において、透明樹脂層として感光性を付与したアクリル樹脂を用いたが、感光性エポキシ樹脂やエポキシアクリレート等を用いることも可能である。

【0033】

【発明の効果】以上詳述したように、本発明によれば、高開口率化および高精細化に対応したCF on TFT構造において、CF層と画素電極の間に透明樹脂層を設けることにより、配線金属層と重なり部での寄生容量を小さくすることができる。よって、寄生容量による駆動電圧歪みを防いで表示異常を生じないようにすることができる。CF層と透明樹脂層の合計厚みは、3 $\mu$ m以上であれば寄生容量による駆動信号の歪みを実質的に防ぐことができ、6 $\mu$ m以下であればコンタクトホールの形成も容易であるので好ましい。

【0034】さらに、透明樹脂層をCF層の上に設けることにより、透明樹脂層のコンタクトホールのサイズをCF層よりも大きくことができ、コンタクトホールの断面を2段のスロープ状にすることができる。よって、コンタクトホール部において画素電極と下側の配線層とを信頼性良く電気的に接続することができる。

【図面の簡単な説明】

【図1】実施形態の液晶表示装置におけるTFT基板について、一画素分の概略構成を示す平面図である。

【図2】図1のA-A'線部分の断面図である。

【図3】図1のB-B'線部分の断面図である。

【図4】従来の液晶表示装置におけるTFT基板の概略構成を示す断面図である。

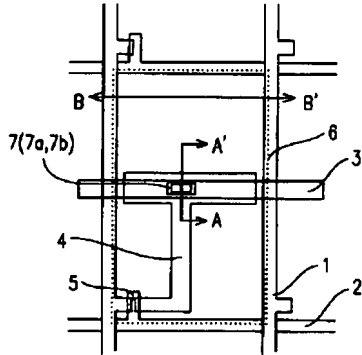
【図5】従来の他の液晶表示装置におけるTFT基板の概略構成を示す断面図である。

【符号の説明】

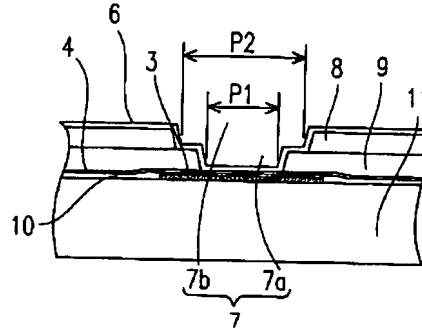
- 1 ソース配線
- 2 ゲート配線
- 3 付加容量配線
- 4 下側透明導電膜 (付加容量電極)
- 5 TFT素子
- 6 画素電極

- 7、7a、7b コンタクトホール
- 8 透明樹脂層
- 9 CF層
- 10 層間絶縁膜
- 11 基板
- 12 BM樹脂層

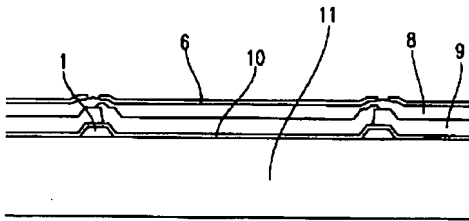
【図1】



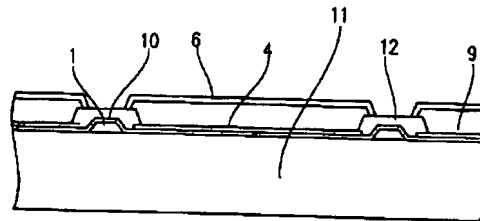
【図2】



【図3】



【図4】



【図5】

